

10/534622

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international(43) Date de la publication internationale  
17 juin 2004 (17.06.2004)

PCT

(10) Numéro de publication internationale  
WO 2004/051446 A1(51) Classification internationale des brevets<sup>7</sup> : G06F 1/26

(71) Déposant (pour tous les États désignés sauf US) : COM-MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, Rue de la Fédération, F-75752 Paris (FR).

(21) Numéro de la demande internationale :

PCT/FR2003/003449

(72) Inventeurs; et

(22) Date de dépôt international :

21 novembre 2003 (21.11.2003)

(75) Inventeurs/Déposants (pour US seulement) : CHATROUX, Daniel [FR/FR]; 1, allée Maurice Ravel, F-26200 Montelimar (FR). BELLEVILLE, Marc [FR/FR]; 12, rue de Chantemerle, F-38120 Saint Egrève (FR).

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

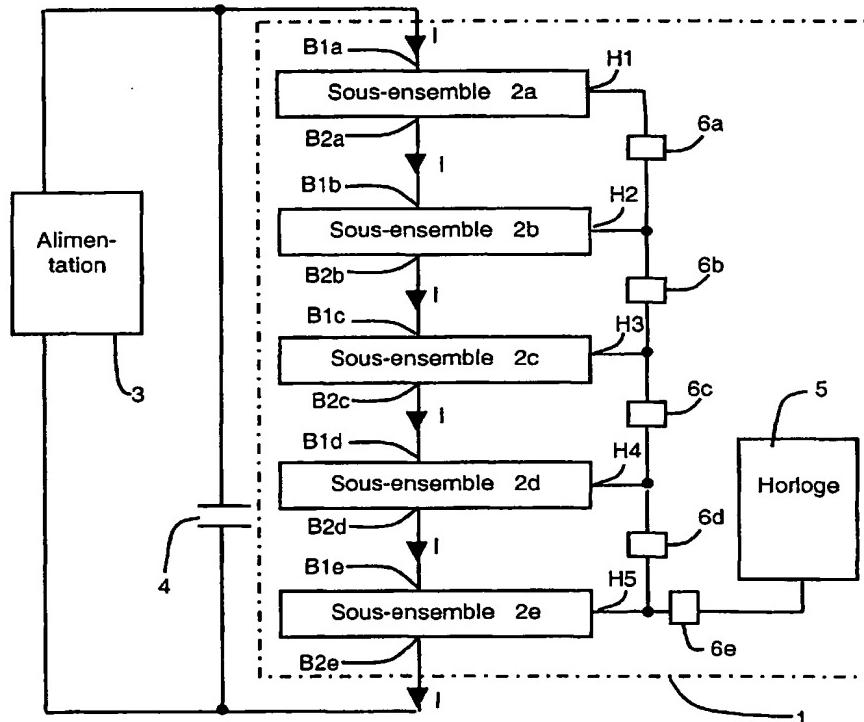
02/14763 25 novembre 2002 (25.11.2002) FR

(74) Mandataires : HECKE, Gérard etc.; Cabinet Hecke, WTC Europole, 5, place Robert Schuman, BP 1537, F-38025 Grenoble Cédex 1 (FR).

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT COMPRISING SERIES-CONNECTED SUBASSEMBLIES

(54) Titre : CIRCUIT INTEGRE COMPORANT DES SOUS-ENSEMBLES CONNECTES EN SERIE



3...POWER SUPPLY  
5...CLOCK  
2A - 2E...SUBASSEMBLIES

(57) Abstract: The invention concerns an integrated circuit comprising series-connected subassemblies (2), to provide simple synchronization of the subassemblies. Each subassembly includes a first line terminal (B1) and a second line terminal (B2) and a clock input (H1 to H5). The subassemblies are connected in series to the terminals of a supply voltage source (3), such that the various subassemblies circulate the same current (I). The clock input (H1 to H5) of each subassembly (2a to 2e) is connected to a common clock circuit (5) via devices (6a to 6e) adapted to offset the clock signal levels, for example comprising capacitors and/or transistors. Each subassembly can include one by-pass capacitor and one voltage limiting circuit between its first and second line terminals.

WO 2004/051446 A1

[Suite sur la page suivante]



(81) États désignés (*national*) : JP, US.

(84) États désignés (*régional*) : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

Publiée :

— avec rapport de recherche internationale

---

(57) Abrégé : Le circuit intégré comporte des sous-ensembles (2) connectés en série, permettant d'assurer la synchronisation des sous-ensembles de manière simple. Chaque sous-ensemble comporte une première borne (B1) et une seconde borne (B2) d'alimentation et une entrée d'horloge (H1 à H5). Les sous ensembles sont connectés en série aux bornes d'une source de tension d'alimentation (3), de manière à ce que les différents sous-ensembles soient parcourus par le même courant (I). L'entrée d'horloge (H1 à H5) de chaque sous-ensemble (2a à 2e) est connectée à un circuit d'horloge commun (5) par l'intermédiaire de dispositifs (6a à 6e) aptes à décaler les niveaux du signal d'horloge, par exemple comportant des condensateurs et/ou des transistors. Chaque sous-ensemble peut comporter un condensateur de découplage et un circuit de limitation de tension entre ses premières et secondes bornes d'alimentation.

**Circuit intégré comportant des sous-ensembles connectés en série****Domaine technique de l'invention**

5

L'invention concerne un circuit intégré comportant au moins une partie numérique comportant un grand nombre de transistors élémentaires, connectés entre eux de manière à former une pluralité d'éléments fonctionnels élémentaires, les éléments fonctionnels élémentaires étant groupés en sous-ensembles, comportant chacun des première et seconde bornes d'alimentation électrique et une entrée d'horloge, les sous-ensembles étant connectés en série, par l'intermédiaire de leurs bornes d'alimentation, aux bornes d'une source de tension d'alimentation.

10

15

**État de la technique**

20

25

Les circuits intégrés numériques comme les microprocesseurs, les microcontrôleurs, les mémoires, etc... sont constitués d'un nombre sans cesse croissant de transistors élémentaires, de taille de plus en plus petite. Il est bien connu que selon la loi de Moore, le nombre de transistors sur une surface de silicium double tous les 18 mois. Ainsi, tous les 18 mois, sur le même substrat de silicium, le nombre de circuits intégrés double et la taille de chacun d'eux diminue. Cette diminution de taille permet des fréquences de fonctionnement accrues. La décroissance de taille des transistors impose que la tension d'alimentation maximale supportable par les transistors baisse. L'augmentation du nombre de transistors impose des courants d'alimentation plus élevés. Ce courant augmente aussi lorsque la fréquence d'horloge est plus élevée. Les tensions d'alimentation actuelles sont de l'ordre du volt. Les générations

suivantes de circuits intégrés seront alimentées par des tensions inférieures au volt. Généralement, les circuits intégrés sont alimentés par une tension d'alimentation de valeur identique à celle de chacun des éléments fonctionnels élémentaires.

5

La diminution des tensions d'alimentation de ces circuits intégrés numériques et l'augmentation simultanée du courant consommé donne lieu à des problèmes de conception et de pertes d'énergie des alimentations de tension au niveau des fils et des pistes de transmission du courant et des connexions d'alimentation du composant.

10

Le brevet US5703790 propose la mise en série de bornes d'alimentation de deux processeurs, permettant de les alimenter par une tension d'alimentation plus élevée. La fréquence de l'horloge du second processeur est pilotée par un circuit de régulation en fonction de la tension d'alimentation de ce second processeur. La régulation est effectuée par comparaison de la tension d'alimentation du second processeur avec une tension de référence. L'écart des deux tensions détermine ensuite la fréquence de l'horloge du second processeur. Un régulateur shunt placé en parallèle avec le second processeur permet d'absorber une partie du courant provenant du premier processeur lorsque le pilotage de fréquence d'horloge du second processeur ne permet pas d'absorber un courant suffisant.

15

20

25

Les horloges des deux processeurs étant différentes, les pics de courant des deux processeurs ne sont pas synchronisés. Le circuit de régulation intervient uniquement sur la fréquence de récurrence des seconds pics de manière à contrôler le courant moyen du second processeur. Il n'est alors pas possible de fonctionner sans condensateurs de découplage connectés aux bornes d'alimentation des processeurs. En effet, un pic de courant du second

processeur donnerait lieu à une surtension destructrice aux bornes du premier processeur, alors que dans le même temps le second processeur n'aurait pas à ses bornes une tension de valeur suffisante. Le problème est similaire lors des pics de courant du premier processeur sauf si le second processeur est protégé par le régulateur shunt, si celui-ci est dimensionné pour ce courant et s'il est capable de dissiper l'énergie correspondante. En effet, dans ce cas, l'énergie envoyée sur les bornes d'alimentation du second processeur pourrait être dissipée au lieu d'être stockée dans le condensateur de découplage.

- 10 Les condensateurs de découplage sont des réserves d'énergie aux bornes des processeurs. Il est nécessaire que ces réserves d'énergie soient suffisantes pour fournir le courant aux processeurs pendant les phases transitoires de la régulation de tension qui agit par variation du courant consommé par le second processeur. Le dimensionnement de ces condensateurs de découplage et de la réserve d'énergie qu'ils constituent doit être adapté aux performances de réponse temporelle de la régulation. Comme la régulation par action sur le courant du second processeur s'effectue par contrôle de la fréquence d'horloge de celui-ci, les condensateurs de découplage doivent être dimensionnés pour fournir l'énergie pendant plusieurs cycles d'horloge. Si le circuit de régulation commute entre un fonctionnement à une fréquence haute et un fonctionnement à une fréquence basse selon le brevet US5703790, les condensateurs de découplage doivent être de valeur élevée pour être adaptés aux constantes de temps souvent longues de ce mode de régulation puisque l'on fonctionne en trains d'onde successivement à fréquence haute et fréquence basse. On se heurte alors aux problèmes technologiques de réalisation de ces condensateurs de découplage, de forte valeur sous basse tension, devant fournir les impulsions de courant.
- 15
- 20
- 25

## Objet de l'invention

L'invention a pour but de remédier à ces inconvénients et, plus particulièrement, d'éviter des problèmes de conception et de pertes d'énergie des alimentations de basse tension à courant fort, tout en assurant une synchronisation des sous-ensembles d'un circuit intégré et une architecture simple d'un circuit intégré.

Selon l'invention, ce but est atteint par le fait que l'entrée d'horloge de chaque sous-ensemble est connectée à un circuit d'horloge commun et en ce que l'entrée d'horloge d'au moins un sous-ensemble est connectée au circuit d'horloge commun par l'intermédiaire d'un dispositif apte à décaler les niveaux du signal d'horloge.

Selon un développement de l'invention, les sous-ensembles sont constitués de façon à ce que la somme des courants instantanés d'alimentation traversant les éléments fonctionnels élémentaires d'un sous-ensemble est voisine de celles des autres sous-ensembles.

Selon un autre développement de l'invention, les entrées d'horloge d'au moins deux sous-ensembles adjacents sont connectées par un dispositif apte à décaler les niveaux du signal d'horloge.

Le dispositif apte à décaler les niveaux du signal d'horloge peut comporter au moins un condensateur et/ou au moins un transistor.

25

Selon un mode de réalisation préférentiel, chacun des sous-ensembles comporte un circuit de limitation de tension connecté entre ses bornes d'alimentation et comportant, de préférence, une diode ou un transistor.

**Description sommaire des dessins**

D'autres avantages et caractéristiques ressortiront plus clairement de la 5 description qui va suivre de modes particuliers de réalisation de l'invention donnés à titre d'exemples non limitatifs et représentés aux dessins annexés, dans lesquels :

Les figures 1 et 2 représentent deux modes de réalisation particuliers d'un 10 circuit intégré selon l'invention.

Les figures 3,4 et 5 représentent différents modes de réalisation particuliers d'un sous-ensemble d'un circuit intégré selon l'invention.

15 **Description de modes particuliers de réalisation.**

Le circuit intégré représenté à la figure 1 comporte plusieurs sous-ensembles 2 (cinq sous-ensembles 2a à 2e sur la figure 1). Les sous-ensembles comportent chacun une première borne d'alimentation B1, une seconde borne 20 d'alimentation B2 et une entrée d'horloge, respectivement H1 à H5. Les sous-ensembles sont connectés en série, par l'intermédiaire de leurs bornes d'alimentation B1 et B2, aux bornes d'une source de tension d'alimentation 3, connectée en parallèle avec un condensateur de découplage 4. Les différents sous-ensembles sont parcourus par le même courant, noté I. Les entrées 25 d'horloge H1 à H5 des sous-ensembles 2a à 2e sont connectées à un circuit d'horloge commun 5 par l'intermédiaire de dispositifs 6,7 aptes à décaler les niveaux du signal d'horloge. Le décalage des niveaux du signal d'horloge consiste à appliquer aux différents sous-ensembles 2 des signaux d'horloge dont le niveau de tension est adapté aux différentes tensions d'alimentation

présentes aux bornes B1 et B2 des différents sous-ensembles 2. Il ne s'agit pas seulement, comme dans certains systèmes connus, d'appliquer un même signal d'horloge à différents circuits du système, alimentés en parallèle ou indépendamment (voir notamment US5486783). Le décalage en tension des niveaux du signal d'horloge est nécessaire pour compenser les différences de potentiel dues à l'alimentation en série des différents sous-ensembles 2.

Sur la figure 1, les entrées d'horloge de deux sous-ensembles adjacents (c'est-à-dire dont les bornes d'alimentation B1 et B2 sont connectées) sont connectées par un dispositif 6 apte à décaler les niveaux du signal d'horloge, respectivement 6a entre les entrées d'horloge H1 et H2, 6b entre les entrées d'horloge H2 et H3, 6c entre les entrées d'horloge H3 et H4, et 6d entre les entrées d'horloge H4 et H5. L'entrée d'horloge (H5) d'un des sous-ensembles (2e) situé à une extrémité de la série peut être avantageusement connecté par un dispositif 6e apte à décaler les niveaux du signal d'horloge à la sortie du circuit d'horloge commun 5. Le dispositif 6 apte à décaler les niveaux du signal d'horloge, connu de l'homme de l'art, permet de transmettre le signal d'horloge (ou tout autre signal) tout en décalant les niveaux de façon identique ou indépendante.

20

Un dispositif 6 apte à décaler les niveaux du signal d'horloge peut par exemple être constitué par un simple condensateur, ou par un circuit à base de transistors ou par un circuit à base de transistors et de condensateurs, par exemple du type décrit dans l'article « Low power CMOS level shifters by bootstrapping technique » (Electronics Letters 1<sup>st</sup> August 2002, Vol. 38 No. 16).

25

Il faut remarquer que la figure 1, ainsi que les autres figures, ne représente que certains types de connexion : les connexions d'alimentation et d'horloge. D'autres connexions peuvent coexister entre les sous-ensembles par exemple

pour la transmission de données, ces autres connexions pouvant comprendre des dispositifs complexes comme par exemple des dispositifs aptes à décaler des niveaux de signaux.

5 Selon un autre mode de réalisation particulier, représenté à la figure 2, l'entrée d'horloge, respectivement H1 à H5, d'un sous-ensemble, respectivement 2a à 2e, est connectée à une sortie du circuit d'horloge 5 par l'intermédiaire d'un dispositif 7 apte à décaler les niveaux du signal d'horloge (respectivement 7a à 7e), du même type que le dispositif 6 de la figure 1.

10

Comme représenté aux figures 3 à 5, un sous-ensemble 2 comporte un condensateur de découplage 8 et un circuit 9 de limitation de tension, connectés en parallèle entre les bornes d'alimentation B1 et B2, permettant ainsi d'éviter une tension trop élevée entre les bornes d'alimentation du sous-ensemble correspondant. Les circuits de limitation de tension 9 sont par exemple constitués, de manière connue, par des diodes ou des transistors. A titre d'exemple, sur la figure 3, le circuit de limitation de tension 9 est constitué par une diode Zener, sur la figure 4 par une jonction de diode polarisée en direct, et sur la figure 5, par un dispositif à base de transistors. Chaque sous-ensemble peut être composé de plusieurs éléments fonctionnels élémentaires 10, connectés en parallèle entre les bornes d'alimentation B1 et B2. Les éléments fonctionnels élémentaires comportent eux-mêmes un grand nombre de transistors élémentaires.

20

25 L'architecture interne particulière d'un circuit intégré selon l'invention permet l'alimentation du circuit à des tensions supérieures ou égales aux tensions standard (par exemple 3,3V) et assure l'alimentation des différents transistors sous des tensions nettement inférieures par exemple au volt, tout en assurant une synchronisation des sous-ensembles grâce à l'horloge commune.

En raison de leur mise en série, tous les sous-ensembles 2 sont à des potentiels électriques différents. La différence de potentiel entre les deux sous-ensembles extrêmes est d'autant plus importante, comparée avec la tension d'alimentation aux bornes d'un des sous-ensembles, que le nombre de sous-ensembles augmente. Par conséquent, les sous-ensembles doivent être séparés par des moyens d'isolation électrique. Cette isolation électrique peut être réalisée de toute manière connue, par exemple par l'utilisation de jonctions de diode polarisées en inverse et/ou de zones diélectriques et/ou par réalisation d'îlots de silicium, isolés par des zones diélectriques, réalisés à partir d'un substrat de silicium sur isolant (« SOI : silicon-on-insulator »).

La transmission du signal d'horloge aux différents sous-ensembles par les dispositifs 6,7 aptes à décaler les niveaux du signal d'horloge (6a à 6d de la figure 1 ou 7a à 7e de la figure 2) permet d'assurer une très bonne synchronisation. Le mode de réalisation à la figure 2 est un mode préférentiel, car il assure une meilleure synchronisation des sous-ensembles par principe. En effet, dans le mode de réalisation de la figure 1, les dispositifs 6 sont en série et entraînent une sommation des retards, alors que dans le mode de réalisation de la figure 2, les dispositifs 7 sont en parallèle et les retards peuvent être identiques pour chacun des sous-ensembles.

Si un sous-ensemble tend à consommer à un instant donné un peu moins de courant que les autres sous-ensembles, comme le courant qui le traverse est défini, la tension aux bornes du sous-ensemble augmente. Ce mode de fonctionnement peut être toléré. Sinon, il peut être adapté d'inclure à chacun des sous-ensembles un circuit de limitation de la tension 9, du type décrit ci-dessus, par lequel passe le courant excédentaire du sous-ensemble correspondant. C'est pourquoi l'invention est aussi particulièrement intéressante

quand tous les éléments fonctionnels élémentaires 10 sont identiques dans tous les sous-ensembles : les consommations sont donc alors bien toutes identiques. C'est le cas par exemple des architectures de type SIMD (abréviation du terme anglais « single instruction multiple data streams »).

5

Typiquement, en moyenne ce courant excédentaire devrait être inférieur à 20 % du courant moyen traversant le sous-ensemble. Dans ce cas, il n'est alors pas gênant de dissiper l'énergie correspondant à ce courant et à la tension du sous-ensemble.

10

A titre d'exemple, le circuit de limitation de la tension 9 peut être réalisé par une diode Zener (figure 3), une jonction de diode polarisée en direct (figure 4) ou un transistor de type MOSFET commandé (figure 5). La grille du MOSFET peut notamment être pilotée par la sortie d'un comparateur de tension, comparant la tension aux bornes d'un sous-ensemble à une tension de référence. Ainsi, pour chaque sous-ensemble, le circuit de limitation de la tension 9 peut être intégré dans le semi-conducteur.

15

De même, le condensateur de découplage additionnel 8, qui peut être inclus dans chaque sous-ensemble, permet de fournir ou absorber des différences transitoires brèves de courants entre les sous-ensembles. Ces condensateurs additionnels ne doivent fournir ou absorber qu'une faible partie des impulsions de courant. De ce fait, ces condensateurs de faible valeur peuvent être intégrés dans le semi-conducteur. Cette fonction de découplage additionnel peut être assurée en tout ou en partie par la capacité parasite du sous-ensemble et du dispositif utilisé pour la limitation de la tension. Ceci représente un avantage important par rapport à l'art antérieur, qui nécessite la réalisation sur chaque sous-ensemble de forts stockages d'énergie dans les condensateurs de découplage.

Un circuit intégré selon l'invention peut être alimenté par une alimentation 3 à découpage classique sous une tension de cinq volts par exemple. L'invention permet d'assurer l'alimentation sous basse tension de chacun des sous-ensembles 2 de la série de sous-ensembles. Chacun des éléments nécessaires à la réalisation de l'invention (le circuit d'horloge 5 commun, les sous-ensembles 2, l'isolation des sous-ensembles entre eux, le circuit 9 de limitation de la tension de chaque sous-ensemble, les moyens de découplage 8) sont réalisables dans un circuit intégré à semi-conducteur et utilisent une faible part de la surface du semi-conducteur, ce qui revient à un faible surcoût de la réalisation. Un substrat de type SOI est particulièrement adapté pour la réalisation de l'invention.

Pour minimiser la consommation d'un circuit intégré selon l'art antérieur, les éléments fonctionnels élémentaires non utilisés dans un circuit peuvent être déconnectés de l'alimentation par des transistors utilisés comme interrupteurs et la valeur de la tension d'alimentation fournie au circuit intégré par l'alimentation à découpage ou par le régulateur abaisseur dédié au circuit intégré peut être commandée.

20

La consommation d'un circuit selon l'invention peut être minimisée en utilisant un ou plusieurs des trois moyens suivants :

- Déconnecter un élément fonctionnel élémentaire 10 non-utilisé d'un sous-ensemble 2 de l'alimentation de ce sous-ensemble par l'ouverture de transistors. Il faut cependant remplir le critère de consommation de courant identique des sous-ensembles. Par exemple, dans le cas de sous-ensembles identiques constitués d'éléments fonctionnels élémentaires identiques, il est préférable d'isoler le même élément fonctionnel élémentaire sur chacun des sous-ensembles au même moment.

- Court-circuiter les bornes d'alimentation B1 et B2 d'un sous-ensemble par un transistor auxiliaire pour annuler la consommation de ce sous-ensemble et adapter en conséquence la tension fournie au circuit intégré.
- Adapter la tension fournie au circuit intégré par l'alimentation à découpage ou le convertisseur abaisseur alimentant le circuit intégré.  
5

La mise en série d'un grand nombre de sous-ensembles est possible. La limitation du nombre de sous-ensembles imposées par les régulations du circuit intégré selon le brevet US5703790 n'existe pas.

## Revendications

1. Circuit intégré comportant au moins une partie numérique (1) comportant un grand nombre de transistors élémentaires, connectés entre eux de manière à former une pluralité d'éléments fonctionnels élémentaires (10), les éléments fonctionnels élémentaires étant groupés en sous-ensembles (2), comportant chacun des première (B1) et seconde (B2) bornes d'alimentation électrique et une entrée d'horloge (H), les sous-ensembles (2) étant connectés en série, par l'intermédiaire de leurs bornes d'alimentation (B1 et B2), aux bornes d'une source de tension d'alimentation (3), circuit intégré (1) caractérisé en ce que l'entrée d'horloge (H) de chaque sous-ensemble (2) est connectée à un circuit d'horloge commun (5) et en ce que l'entrée d'horloge (H) d'au moins un sous-ensemble (2) est connectée au circuit d'horloge commun (5) par l'intermédiaire d'un dispositif (6,7) apte à décaler les niveaux du signal d'horloge.
2. Circuit intégré (1) selon la revendication 1, caractérisé en ce que les sous-ensembles (2) sont constitués de façon à ce que la somme des courants instantanés d'alimentation traversant les éléments fonctionnels élémentaires (10) d'un sous-ensemble soit voisine de celles des autres sous-ensembles.
3. Circuit intégré (1) selon l'une des revendications 1 et 2, caractérisé en ce que les entrées d'horloge (H) d'au moins deux sous-ensembles (2) adjacents sont connectées par un dispositif (6) apte à décaler les niveaux du signal d'horloge.
4. Circuit intégré (1) selon la revendication 3, caractérisé en ce que l'entrée d'horloge d'un des sous-ensembles d'extrême (2e) est connectée par

l'intermédiaire d'un dispositif (6e) additionnel apte à décaler les niveaux du signal d'horloge à la sortie du circuit d'horloge (5).

5. Circuit intégré (1) selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le dispositif (6,7) apte à décaler les niveaux du signal d'horloge comporte au moins un condensateur.
10. 6. Circuit intégré (1) selon l'une quelconque des revendications 1 à 5, caractérisé en ce que le dispositif (6,7) apte à décaler les niveaux du signal d'horloge comporte au moins un transistor.
15. 7. Circuit intégré selon l'une quelconque des revendications 1 à 6, caractérisé en ce que tous les sous-ensembles (2) sont identiques.
20. 8. Circuit intégré selon l'une quelconque des revendications 1 à 7, caractérisé en ce que chacun des sous-ensembles (2) comporte un circuit de limitation de tension (9) connecté entre ses bornes d'alimentation (B1 et B2).
25. 9. Circuit intégré selon la revendication 8, caractérisé en ce que le circuit de limitation de tension (9) comporte une diode.
10. Circuit intégré selon l'une des revendications 8 et 9, caractérisé en ce que le circuit de limitation de tension (9) comporte un transistor.
11. Circuit intégré selon l'une quelconque des revendications 1 à 10, caractérisé en ce que chaque sous-ensemble (2) comporte un condensateur (8) de découplage connecté entre la première (B1) et la seconde (B2) borne d'alimentation du sous-ensemble.

**12.** Circuit intégré selon l'une quelconque des revendication 1 à 11, caractérisé en ce que le circuit intégré comporte des moyens d'isolation électrique entre les sous-ensembles.

5      **13.** Circuit intégré selon la revendication 12, caractérisé en ce que les moyens d'isolation électrique entre les différents sous-ensembles sont des jonctions de diode polarisées en inverse.

10     **14.** Circuit intégré selon l'une des revendications 12 et 13, caractérisé en ce que les moyens d'isolation électrique entre les différents sous-ensembles sont des zones diélectriques.

15     **15.** Circuit intégré selon l'une quelconque des revendications 1 à 14, caractérisé en ce que le circuit intégré comporte des îlots de silicium réalisés à partir d'un substrat de silicium sur isolant.

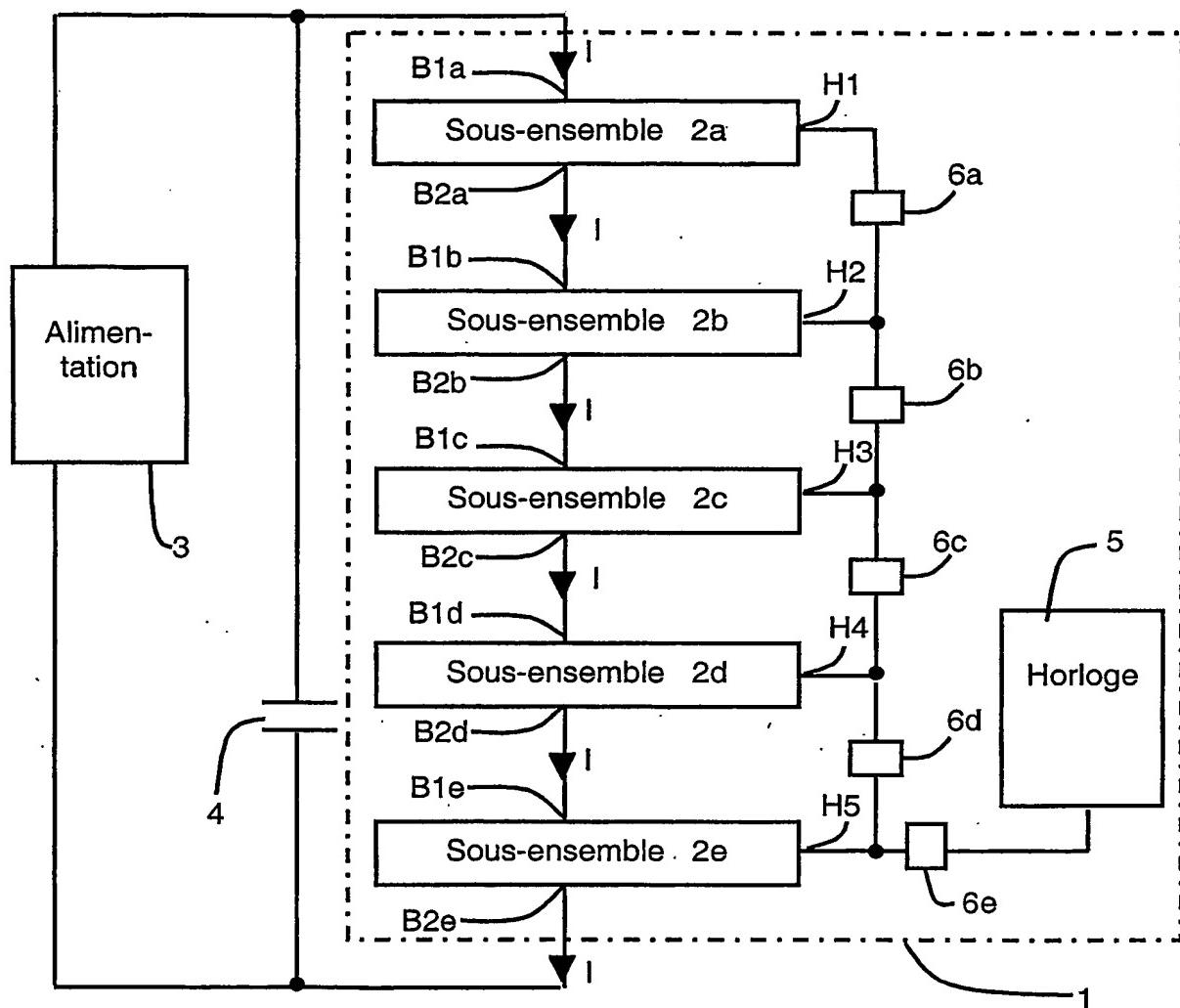


Figure 1

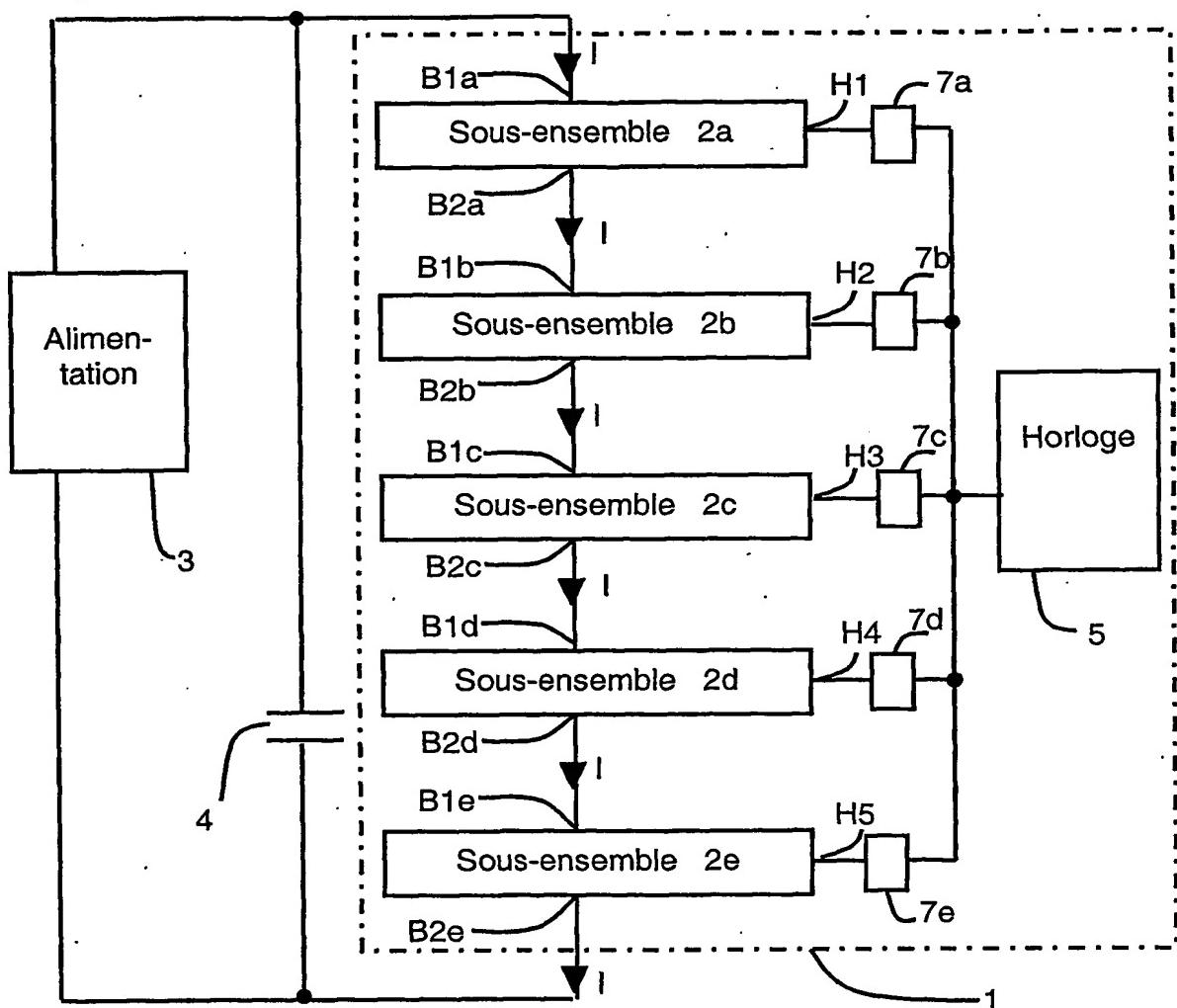


Figure 2

3/3

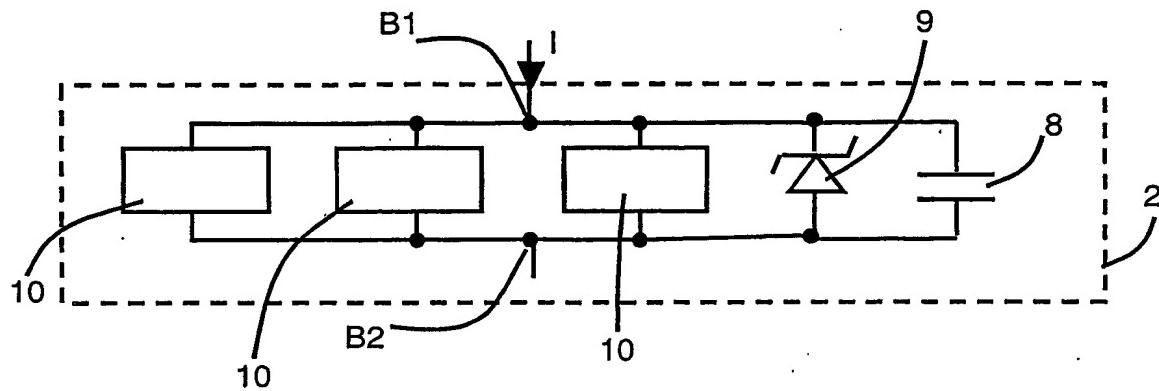


Figure 3

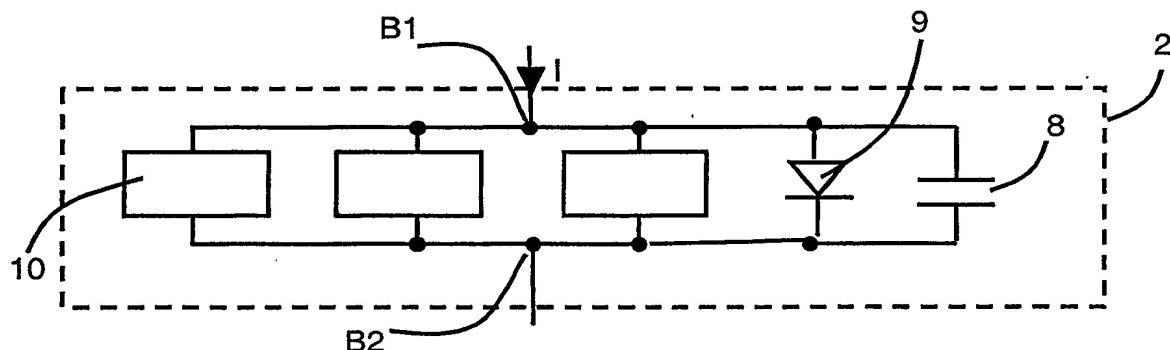


Figure 4

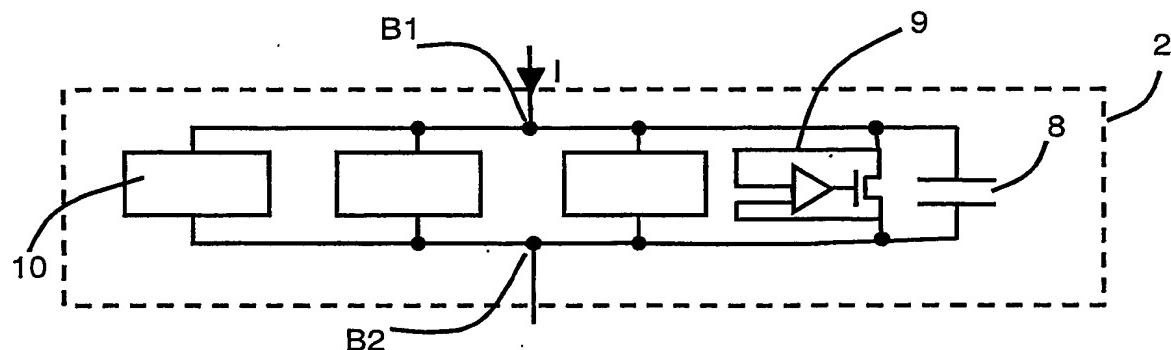


Figure 5

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 03/00449A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G06F1/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 703 790 A (FARWELL WILLIAM D) 30 December 1997 (1997-12-30) cited in the application claim 1; figure 1 ---	1-15
Y	US 5 486 783 A (BAUMERT ROBERT J ET AL) 23 January 1996 (1996-01-23) claim 8; figure 1 ---	1-15
A	US 5 894 508 A (KIM GYE SU) 13 April 1999 (1999-04-13) figure 3 ---	1-15
A	US 6 262 493 B1 (GARNETT PAUL J) 17 July 2001 (2001-07-17) column 5, line 7 - line 10; claim 1; figure 1 ---	1-15 -/-

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## ° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the International filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the International filing date but later than the priority date claimed

- "T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

10 March 2004

16/03/2004

## Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
 Fax: (+31-70) 340-3016

## Authorized officer

Kirsten, K

## INTERNATIONAL SEARCH REPORT

International Search Report No

PCT/FR 03/03449

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 308 279 B1 (GUNTHER STEPHEN H ET AL) 23 October 2001 (2001-10-23) claim 1; figure 2 ----	1-15
A	US 4 730 268 A (MARIN JAMES S) 8 March 1988 (1988-03-08) claim 1; figure 1 ----	1-15
A	EP 0 638 858 A (NIPPON ELECTRIC CO) 15 February 1995 (1995-02-15) claim 1; figure 4 ----	1-15
A	US 5 877 928 A (MAKINO HIROSHI) 2 March 1999 (1999-03-02) claim 1; figures 3,4 ----	1-15
A	US 6 229 360 B1 (MIZUNO MASAYUKI ET AL) 8 May 2001 (2001-05-08) claim 1; figure 1 ----	1-15
A	TAN S C ET AL: "Low power CMOS level shifters by bootstrapping technique" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 38, no. 16, 1 August 2002 (2002-08-01), pages 876-878, XP006018630 ISSN: 0013-5194 the whole document -----	1-15

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/FR 03/03449

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5703790	A	30-12-1997	NONE		
US 5486783	A	23-01-1996	NONE		
US 5894508	A	13-04-1999	DE JP JP	19605077 A1 2881599 B2 9153970 A	07-05-1997 12-04-1999 10-06-1997
US 6262493	B1	17-07-2001	NONE		
US 6308279	B1	23-10-2001	CN EP TW WO	1308746 T 1099167 A1 445412 B 9961991 A1	15-08-2001 16-05-2001 11-07-2001 02-12-1999
US 4730268	A	08-03-1988	JP JP JP	2111362 C 8033875 B 62002345 A	21-11-1996 29-03-1996 08-01-1987
EP 0638858	A	15-02-1995	JP JP EP KR US	2636695 B2 7044265 A 0638858 A1 126870 B1 5974555 A	30-07-1997 14-02-1995 15-02-1995 02-04-1998 26-10-1999
US 5877928	A	02-03-1999	JP KR	10257671 A 275393 B1	25-09-1998 15-12-2000
US 6229360	B1	08-05-2001	JP JP	3111936 B2 11088307 A	27-11-2000 30-03-1999

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR 03/03449

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 G06F1/26

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 5 703 790 A (FARWELL WILLIAM D) 30 décembre 1997 (1997-12-30) cité dans la demande revendication 1; figure 1 ----	1-15
Y	US 5 486 783 A (BAUMERT ROBERT J ET AL) 23 janvier 1996 (1996-01-23) revendication 8; figure 1 ----	1-15
A	US 5 894 508 A (KIM GYE SU) 13 avril 1999 (1999-04-13) figure 3 ----	1-15
A	US 6 262 493 B1 (GARNETT PAUL J) 17 juillet 2001 (2001-07-17) colonne 5, ligne 7 - ligne 10; revendication 1; figure 1 ----	1-15
		-/-

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

### \* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*&\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

10 mars 2004

Date d'expédition du présent rapport de recherche internationale

16/03/2004

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Kirsten, K

## RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR 03/03449

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 308 279 B1 (GUNTHER STEPHEN H ET AL) 23 octobre 2001 (2001-10-23) revendication 1; figure 2 —	1-15
A	US 4 730 268 A (MARIN JAMES S) 8 mars 1988 (1988-03-08) revendication 1; figure 1 —	1-15
A	EP 0 638 858 A (NIPPON ELECTRIC CO) 15 février 1995 (1995-02-15) revendication 1; figure 4 —	1-15
A	US 5 877 928 A (MAKINO HIROSHI) 2 mars 1999 (1999-03-02) revendication 1; figures 3,4 —	1-15
A	US 6 229 360 B1 (MIZUNO MASAYUKI ET AL) 8 mai 2001 (2001-05-08) revendication 1; figure 1 —	1-15
A	TAN S C ET AL: "Low power CMOS level shifters by bootstrapping technique" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 38, no. 16, 1 août 2002 (2002-08-01), pages 876-878, XP006018630 ISSN: 0013-5194 Le document en entier —	1-15

# RAPPORT DE RECHERCHE INTERNATIONALE

Reaseignements relatifs aux membres de la famille de brevets

Demande No / Date No

PCT/FR 03/03449

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)			Date de publication
US 5703790	A	30-12-1997	AUCUN			
US 5486783	A	23-01-1996	AUCUN			
US 5894508	A	13-04-1999	DE	19605077 A1		07-05-1997
			JP	2881599 B2		12-04-1999
			JP	9153970 A		10-06-1997
US 6262493	B1	17-07-2001	AUCUN			
US 6308279	B1	23-10-2001	CN	1308746 T		15-08-2001
			EP	1099167 A1		16-05-2001
			TW	445412 B		11-07-2001
			WO	9961991 A1		02-12-1999
US 4730268	A	08-03-1988	JP	2111362 C		21-11-1996
			JP	8033875 B		29-03-1996
			JP	62002345 A		08-01-1987
EP 0638858	A	15-02-1995	JP	2636695 B2		30-07-1997
			JP	7044265 A		14-02-1995
			EP	0638858 A1		15-02-1995
			KR	126870 B1		02-04-1998
			US	5974555 A		26-10-1999
US 5877928	A	02-03-1999	JP	10257671 A		25-09-1998
			KR	275393 B1		15-12-2000
US 6229360	B1	08-05-2001	JP	3111936 B2		27-11-2000
			JP	11088307 A		30-03-1999